PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2002-016337

(43)Date of publication of application: 18.01.2002

(51)Int.CI.

H05K 3/00

G06F 17/50

(21)Application number : 2000-196793

(71)Applicant : SONY CORP

(22)Date of filing:

29.06.2000

(72)Inventor: ARAKI KENJI

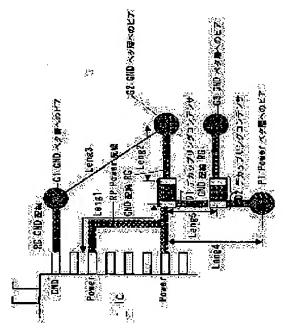
YOKOYAMA AYAO

(54) WIRING STRUCTURE CHECK SYSTEM FOR PRINTED BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To verify optimal capacitance and arrangement of decoupling capacitors corresponding to power pins or ground pins on a printed board.

SOLUTION: For a decoupling capacitor D1 connected with a high speed IC1, the number of power supply pins of the same potential as the high speed IC1 connected with the capacitor and presence of vias between the power supply pins of the same potential and the power supply pins of the capacitor are checked and optimal arrangement and capacity of the decoupling capacitors D1, D2 are calculated using a simple calculation expression. If temporarily designed current arrangement and capacity are different significantly from the calculation results, a message is delivered to designate optimization of the arrangement and capacity of a relevant decoupling capacitor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Family list 5 family members for: JP2001282882 Derived from 4 applications.

- 1 DESIGN SUPPORT DEVICE TO SUPPORT DESIGN OF PRINTED CIRCUIT BOARD SUITED TO NOISE REDUCTION Publication Info: JP2001282882 A 2001-10-12
- 2 A computer aided design apparatus for aiding design of a printed wiring board to effectively reduce noise
 Publication info: TW530229 B 2003-05-01
- 3 Computer aided design apparatus for aiding design of a printed wiring board to effectively reduce noise
 Publication info: US6631509 B2 2003-10-07
 US2001034875 A1 2001-10-25
- 4 Computer aided design apparatus for aiding design of a printed wiring board to effectively reduce noise
 Publication info: US2004015804 A1 2004-01-22

Data supplied from the esp@cenet database - Worldwide

ව

存開2002-16337 (三)特許出盟公開每年

(P2002-16337A)

(43)公開日 平成14年1月18日(2002.1.18)

Û

(51) IntCl.		400000	स		₩). †-£2£
HOSK 3	3/00			3/00	D 5804
G06F 17	17/50	666	G 0 6 F	17/50	666V

(全16月) 審査請求 未請求 請求項の数7 01

(21)出取辞号	特置2000-196783(P2000-196793)	(71) 出国人 000002185	000002185
(22) HIMB	平成12年6月29日(2000.6.29)		ソニー株式会社 東京都品川区北品川6丁目7番35号
		(72) 発明者	荒木 健次
			宋文都田川区北田川6丁目7番35号 ソニーギナイギゼ
		(72) 発明者	一体对对性的模型。
			長野県南安曇郡豊科町大字豊科SS2番地
			ソニーデジタルプロダクツ株式会社内
		Fターム(参	Fターム(参考) 58046 AAO8 BAO5 JAO3 JA10
:			
	•		

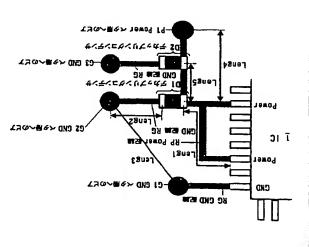
プリント基板の配象構造チェックシステム (54) [配野の名称]

(57) [契約]

ンに対応するデカップリングコンデンサの容量値、及び 【課題】 ブリント 各板上の電源ピンまたはグランドビ その配置が促進であるか否かを検証する。

カップリングコンデンサの配置位位の、及び、容量値が段 ックすると共に、デカップリングコンデンサロ1, D2 の母道な配置位置、母達な容量値を、簡単な計算式を用 容量値が上記算出結果と大きく異なる場合には、当数デ 「解決手段」 高速1C1に接続されたデカップリング コンデンサロ1に対し、敗コンデンサに接続された高速 ICIの阿和位の和语ピンの本数と、数阿和位の知識ピ ンと数コンデンサの名談パンとの回のピアの右軸をチェ いて非出し、仮設計されている現在の配置位位、及び、

酉になるように指示するメッセージを出力する。



【脚氷爪1】 プリント基仮上に仮数針された配線の配 4格遣をチェックするためのプリント 基板の配給 樹造チ (特別的次の範囲)

品番号を抽出すると共に、前記10各々の特性仕様を抽 出し、数特性仕様に含まれる前記IC周辺パルス電流の "立ち上がり時間" から、チェック対象となる高速IC 前記配袋上に存在する結晶群リストから全てのICの結 を選別する対象抽出手段と、 、ックシステムであって、

前記信出された高速ICについて、数高速ICに被称ぎ れたコンデンサを全て抽出すると共に、数抽出されたコ ンデンサを容量値の小さい肌に第1のデカップリングコ ンデンサと、私2のデカップリングコンデンキのグルー プに分加する分加手段と、・

信託権当100名選がソの内、毎託券10アセッナリソ ゲコンデンサの電源ピンと接続されている同館位の電源 ピンの本数が所定の本数を超える場合に第1の対策指示 を敷示する第1の対策数示手段と、 **伯託同的位の治療パンから何記様 1 のデカップリングコ** ンデンサに至る配税経路上にピアが存在する場合に第2 の対策指示を表示する第2の対策指示を表示する手段 均配祭1と称2のデカップリングコンデンサの根道配置 を異なる複数のチェック項目を反映した複数の数式によ り求める母適配配計算手段と **向記が1と好2のデカップリングコンデンサの仮数計と** して与えられた配置を、前記抜数の数式により求めた最 酋配置の各々と照合してチェックすると共に、前記比較 **前記祭1と称2のデカップリングコンデンサが協えるべ** 対象間に所定の限界を超える不一致が存在する場合に、 き母遊客量値をそれぞれ計算する母遊客量値計算手段 **が3の対策指示を投示するが3の対策数示手段と、**

歯配称1と称2のデカップリングコンデンサに仮設計と して与えられた容量値と前記環道容量値とを比較する比 前記比較対象間に所定の限界を超える不一致が存在する 場合に、第4の対策指示を表示する第4の対策表示手段 を有することを特徴とするプリント盐板の配換構造チェ ックシステム。

科長を超える場合に、第5の対策指示を表示する第5の 対策表示手段を備えたことを特徴とする請求項1配款の [超米瓜2] を許価的位の治説アンから控制が10ア カップリングコンデンサに至る配線長が所定の算1の配 プリント基板の配幕構造チェックシステム。

【樹来類3】 前記第1のデカップリングコンデンサの 接地ピンから数接地ピンに接続された接地ペタ個へのピ アまでの距離、または、前記祭2のデカップリングコン アンサの核地ピンから数接地ピンに接続された接地ペタ

[0004] つまり、低限コネクタと I C低限ピンが作

を超える場合に、第6の対前指示を投示する前6の対策 日へのアナギルの阻益のこがれかか所定のは2の記法院 な示手段を伺えたことを特徴とする間求項11 記載のプリ ント語板の配線構造チェックシステム。 「群木魚4】 「気配谷」のデカップリングスンデンサの 後地ピンに接続された接地ペタ個へのピアから前配着連 | Cの核地ピンに至る配線及が所定の好3の配線及を超 とる場合に、 がての対策指示を表示するのての対策炎所 手段を仰えたことを特徴とする脳坎瓜1 紀紋のプリント 塔板の配線構造チェックシステム。

【頤状項6】 前配券1のデカップリングコンデンサと 前記券2のデカップリングコンデンサとの間の配換長が **所定の好ちの配換長を超える場合に、好りの対策指示を** 农示する第9の対策表示手段を備えたことを特徴とする **請求項1記載のブリント芸仮の配袋協造チェックシステ** 気の配食構造チェックシステム。

る場合に、第8の対策指示を表示する解8の対策表示手

低限ペタ困との叫の配성長が所定の第4の配格長を超え

段を聞えたことを特徴とする簡求項1記載のプリント法

「間状型5】 類記数1のデカップリングコンデンサと

【韓求項7】 前記配線構造の型が、マイクロストリッ ブライン、シングルストリップライン、ダブルストリッ プラインのいずれか! つであることを特徴とする間求項 1 配紋のブリント茲板の配換構造チェックシステム。 [発明の詳細な説明]

[000]

|発明の属する技術分野| 本発明は、プリント基板の配 (集低回路) 周辺に配置するデカップリングコンデンキ のレイアウト方法 (松計方法) を含むプリント 芸板の配 保備潰チェックシステムに関し、特に、高速動作1 C 惊情造チェックシステムに関する。

[従来の技術] 従来、近年の電子機器に使用されている ブリングコンデンサは、高速動作1C (以下、「高速1 ン上に発生するRF(南朝波)エネルギーを除去する役 倒と、数高速ICへの局所的なDC(逆流)電源を供給 プリント茲仮上の回路要素において、一般的に、デカッ C」と呼称する)がスイッチングする際に、配識プレー [0002]

ングコンデンサは、上記高速1Cへの局所的な電貨の供 治暦として政能する。即ち、CNOS(角油IC)の数 【0003】即ち、テカップリングコンデンサを<equation-block>池】 C近傍に配置する侍成をとることにより、枚デカップリ L記点法ICへの名描は、DC和海供拾導体を通してで 時出力段の二つのゲートの状態数代の回、しばらくは、 はなく、上記デカップリングコンデンサから供給され、 また、上記状態変化が行われない凹も、骸デカップリン アコンデンサから再充電されることが知られている。 する役割とを担うことが知られている。

3

ョンを低減し、入射電磁界の影響も低減できることが知 **る桎略をデカップリングコンデンサと.1 C電源ピンとの** る。また、一般的に、回路電流が流れる電流程路(ルー **プ)のループ価値を小さくすれば、弘仮の放射エミッシ** ることで、上記のルーブ国俗を小さく特成することが可 られているが、上記デカップリングコンデンサを配置す 狂的に受えることが可能であることが固知となってい 低であることも知られている。

[0005] さらに、低感とデカップリングゴンデンサ GNDの紅路を含むルーブが作る別回路において、紋回 路に格虫するインダクタンスとデカップリングコンデン 周波数の上昇と共に減少し、自己共振関波数と一致する 時、特性インピーダンスが最低(低抗分のみ)となる。 しかし、自己共長周波校以上では、遊にインピーゲンス が残くなり、それに許い、 テカップリングコンデンキの 役割を果たさなくなる (効果的にノイズを除去すること サとの自己共協局波数までは、特性インピーゲンスは、

[0006] つまり、上記の理由により、高速1Cが電 するためには、デカップリングコンデンサの吸道な容量 **淑ブレーン上に発生するRFエネルギーを効果的に除去**

たはグランドピンのピン数が増加する低向があり、どの [処明が解決しようとする取出] ところで、近年の1C の高速化と多ピン化に伴い、電源プレーンまたはグラン ドブレーンに流れ込む貫通電流の電流船、及び、該貫通 沿道の周波数が均値する超向があると共に、船道ピンま ピンに対して、どのデカップリングコンデンサが効いて

発生するパウンスノイズ (電源プレーンまたはグランド **プレーンの電位が局所的に変動するノイズ)が原因で発** 作が思いので、結該プレーンまたはグランドプレーンで 生する放射ノイズが増大するといった問題点が解決でき

ックシステム、が提供される。

[0009] からに、何説アレーンに流れ込む上記頁通 追波の電流量や、数電流の周波数の仕様も、ディジタル **原号の高速化に伴い、将来的に変化してくることが予測** されるので、必要となるデカップリングコンデンサの容 肝菌や、固数や、配置すべき位置を現時点で定量的に決 定することができないといった問題点があった。

[0010] 本発明は、上記従来のプリント基仮の配線 11.8.とするブリント 基仮上の電源ピンまたはグランドビ ンに対応するデカップリングコンデンサの容量値、及び リント芸板の配幕構造チェックシステムを提供すること 数計上の問題点に鑑みてなされたものであり、チェック その配置が限退であるか否かを依証することができるブ

[0011]

[0008] また、デカップリングコンデンサの効き自 いるのかが協助できないといった問題点があった。 ができなくなる)ことも知られている。 値とレイアウトを決定する必要がある。

リストから全てのICの邵品香号を抽出すると共に、崩 **物記1C周辺パルス電流の"立ち上がり時間"から、チ** 「課題を解決するための手段」上記課題を解決するため **:本発明では、プリント基板上に仮設計された配線の配** 模構造をチェックするためのプリント基板の配線構造チ ェックシステムであって、前記配役上に存在する部品群 記IC各々の特性仕様を抽出し、数特性仕様に含まれる 前記抽出された過速1Cについて、核的速1Cに接換さ れたコンデンサを全て抽引すると共に、数抽出されたコ ンデンサを容量値の小さい順に第1のデカップリングコ の最適配置を異なる複数のチェック項目を反映した複数 の放式により求める最通配置計算手段と、前記等1と第 と照合してチェックすると共に、南記比較対象間に所定 **丸、煎配券1のデカップリングコンデンサの電源ピンと** 接続されている同電位の電源ピンの本数が所定の本数を 因える場合に第1の対抗指示を表示する第1の対策表示 手段と、前記周電位の電源ピンから前配第1のデカップ リングコンデンサに至る配紋経路上にピアが存在する場 台に第2の対策指示を表示する第2の対策指示を扱示す 5手段と、前記券1と第2のデカップリングコンデンサ 2のデカップリングコンデンサの仮設計として与えられ **に配置を、前記複数の妨式により求めた最適配置の各々** 0限界を担える不一致が存在する場合に、 第3の対策指 示を投示する第3の対確数示手段と、前配算1と第2の デカップリングコンデンサが愉えるべき最適容量値をそ 11ぞれ計算する母適容量値計算手段と、前記第1と第2 のデカップリングコンデンサに仮設計として与えられた 谷田値と前記改適容量値とを比較する比較年段と、前記 比較対象側に所定の限界を超える不一致が存在する場合 を有することを特徴とするプリント基板の配換構造チェ エック対象となる高速ICを遮別する対象抽出手段と、 ンデンサと、狢2のデカップリングコンデンキのグルー に、第1の対策指示を表示する第1の対策表示手段と、 プに分類する分割手段と、前記高速10の電源ピンの

[0012] 即ち、本発明では、対象とするブリント热 に対し、数コンデンサに接続された数高速ICの同電位 に、上紀対象とするプリント基板上に配置された上紀デ ンデンサの最適な配置位置、及び、最適な容量値を、断 ップリングコンデンサの現在の配置位置、及び、容量値 の電池ピンの本数と、数同電位の電池ピンと数コンデン カップリングコンデンサを含む複数のデカップリングコ 饮料工程を変えることなく、さらに、飲料コストを上げ 近上の高速 I Cに接続されたデカップリングコンデンサ 単を計算式を用いて算出し、仮設計されている上記デカ が上記算出結果と大きく異なる場合には、当数デカップ リングコンデンサの配置位置、及び、容量値が吸道にな 5ように指示するメッセージを出力することで、従来の 5ことなく、電源またはグランドネットが牧百ネットも **サの循環ピンとの間のピアの有無をチェックすると共**

ン)の区別を明確にし、かつ、上記電源ピン(またはグ あるような大規模回路において、デカップリングコンデ ランドピン)を含む回路において、デカップリングコン デンサの環道な容量値、及び、散過な配置位置を決定す ンサの名々が受け持つ、領談ピン(またはグランドピ ることを可能にしている。

[0013]また、上記電源ピン周辺で発生すると思わ れるパウンスノイズを大幅に抑えることを可能にしてい る。さらに、数パウンスノイズが原因で発生する故中ノ イズも大幅に抑えることを可能にしている。

を参照して説明する。 <u>図1</u>は、本発明の実施の形態に既 るプリント
拡板の配線構造チェックシステムのチェック 【発明の実施の形態】以下、本発明の実施の形態を図面 対象となる配換基板上の回路の配線を示す配線図であ [0014]

デンサD1, D2と、GND (接地) ベタ脳へのピアG [0015] <u>図1</u>に示す配製図は、IC(集積回路)1 と、核IC1への電荷供給原となるデカップリングコン 1, G2, G3と、Power (電源) ベタ脳へのピア PIと、GND配線RGと、Power配線RPを含

[0016] ここで、前号Leng1は、IC1の上部 の電道ピンに至るまでのPower配線RPの配線距離 る配袋構造を示す配袋構造団である。<u>図3</u>,4 は、本発 を示し、符号Leng2は、デカップリングコンデンサ D1のGNDピンからGNDペタ励へのピアG2に至る までのGND配板RGの配殻距離を示し、符号Leng 3は、GNDピンからGNDペタ脳へのピアG2に至る までのGND配線RGを含む砂型距離を示し、符号しe ng 4は、IC1の下部の沿岸ピンとデカップリングコ [0017] <u>| 102</u>は、本発明の実施の形態に係るプリン ト基板の配袋構造チェックシステムのチェック対象とな 明に係るプリント基板の配線構造チェックシステムのチ [0018] 本実紬の形態では、図2に示すマイクロス トリップラインと呼ばれる配換構造を基に説明している に、<u>図3</u>に示すシングルストリップラインと呼ばれる配 幕構造、及び、閏4に示すゲブルストリップラインと呼 の知識協子 (ピン) からデカップリングコンデンサロ1 ンデンサD1とを枯ぶ殺分とPowerベタ囚へのピア し、符号しeng5は、デカップリングコンデンサD1 とデカップリングコンデンサロ2との最短距離を示す。 え、<u>国3</u>に示す配線構造は、電源ペタ圏31と、電源ペ が、本発明に係る配積構造チェックシステムは、一般 ばれる配袋構造に対しても適用することが可能である。 P 1 の中心を通る水平方向執分との間の最短距離を示 (ブレーン局) と、電源ペタ局21上の配線22を備 [0019] <u>図2</u>に示す配物構造は、電源ペタ層21 エック対象となる配穀構造を示す配機構造図である。

配路ペタ图41と、配路ペタ图41回の2条枝の配換1

町の距離(μm)を示し、許号aで示す長きは、ダブル が最も近いプレーン周期の距離(μm)を示し、伴号は **符号wで示す長さは、配袋の風殻幅(σ m)を示し、符** 及さは、マイクロストリップライン関連における配線と プレーン協問の距離("m)を示し、符号もで示す及さ は、シングルストリップライン構造におけるプレーン局 ストリップライン||冶における配視と数配線に垂直距離 1 で示す長さは、ゲブルストリップタイン情治における 号しで示す長さは、配袋の配筒原を示し、符号して示す [0020] また、<u>国2</u>~4に示す配税構造において、 2 系統の配線の配線側距離 (μm) を示し、符号

は、マイクロストリップライン特徴における危険ペタ股 際ペタ殴31則及びダブルストリップライン構造におけ (6.) は、シングルストリップライン構造における鬼 る電影ペタ图41回の比較電車を示し、符号(ε) 21と配線22間の策効比誘電率を示す。

[0021] 以下、本発明に係るブリント結仮の配除機 **潜チェックシステムの機能を説明する。但し、本绕明に** 係るプリント基板の配袋保造チェックシステムの関成に **ひいては、 過転のコンパュータシステムが、 過転の間にむ** るので、団示は省略する。 【0022】 本発明に係るプリント基板の配税構造チェ ックシステムでは、チェック対象とするプリント基仮上 に仮設計されたデカップリングコンデンサを含む回路に 及び、最適容量値を、後述する簡単を数式を用いて計算 し、散計算結果により、上記アカップリングコンデンサ が上記容量値及び配置位置に近いか否かを確認し、上記 アカップリングコンデンサの配置位置、及び容量値が環 **値でない場合には、上記デカップリングコンデンサの紀 堂位置、及び容量値が最適になるように指示するか、若** しくは、適切なエラーメッセージを投示することで、プ リント基板に仮設計された配線の配線保造チェックを実 **はし、上記デカップリングコンデンサの敬道配置位置、** 話している。

[0023] これにより、従来の位計工程を変えること なく、また、設計コストを上げることなく、電源プレー ン、または、グランドプレーン部で発生するパウンスノ イズ、若しくは、パウンスノイズが原因で発生する故引 ノイズを大幅に抑える。

至4を整照しつつ、図5~8に示すフローチャートを使 リント芸板の配線控計支援方法の配線構造チェックシス テムの動作を示すフローチャートである。以下、<u>以上</u>乃 17して、本実植の形態に係るシステムの動作を説明す [0025] 以下、符号・rをIC1周辺で型定される パルス電流の立ち上がり時間 (S) とし、符号 f

9 图 3 1 間の配換3 2 を備え、図上に示す配線構造は、

ップリングコンデンサローとが結成するループかの結束 激ピンと母も近い GNDピンとデカップリングコンデン 単位長さ当たりの寄生インゲクタンス(H)とし、体号 クタンス (H) とし、符号しをマイクロストリップライ ップリングコンデンサD1の容量菌(F)とし、符号C ンの経インゲクタンス (H) とし、併号2.を特性イン ピーゲンス (D) とし、符号C*を特性キャパシタンス ンデンサD2の自己共权矧波な(Hz)とし、符号し インゲクタンス (H) とし、符号しmatを最も違い電 ****を取も追い信服ピンと取も近いGNDピンとデカ (H) とし、行号し…をマイクロストリップ配数の Lineを電視プレーンの単位長さ当たりの寄生インダ 帰遺の乾配税長 (m) とし、符号しeng₁━を電源 サロ2とが構成するループでの寄生インダクタンス (F) とし、併号しengomをマイクロストリップ **プレーンの紅配根及 (m) とし、符号C→→・をデカ** www.をデカップリングコンデンサD2の容量値

(F) とし、併争而を1C電源ビンに接換されるテカップリングコンテンサの回放(的)とし、併身K1-K1 0を所定の居以(定故)とする。その他の符号の意味については、既近のとおりである。 「0026]但し、上記フローチャート及び下記の説明中で使用する数式については、梅めて後述する。まず、ステップS1では、チェックに必要な初期条件を設定する。まず、ステップS1では、チェックに必要な初期条件を設定する。 る。 [0027] ステップS2では、為仮角机を指制する法 板データベース(図示は名略)から金での1 Cの格品番 号を抽出する。ステップS3では、各1 Cの特性に関す る仕様を抽出し、後述する(1)式で求する立ち上がり 時間を診照して高速1 Cだけを遭別したリスト1を作成 【0028】ステップS4では、上記リスト1から1つの返送1Cだけを取り出し、その窓際ピンを全て抽出する。ステップS5では、上記抽出した1つの電源ピンに注目し、放電源ピンに流版されているコンデンキンデッキを全て抽出する。

[0029] ステップS6では、上記前出したコンテンサを、容量値の小さい頃にデカップリングコンデンサロ1とデカップリングコンデンサロ1とデカップリングコンデンサロ4。ステップS7では、デカップリングコンデンサロ1と接続されている両電位の電源どンの背号と、その本数(m)を開発する。

[0030] ステップS8では、後述する (7) 式により、上記本故 (m) が定故K6を超えないか否かを判定し、超えない場合はステップS9に移り、超える場合は後途するステップS11に移る。

[0031] ステップS9では、同電位の電源ピンに注目し、デカップリングコンデンサD1までの配線経路上に行るピアを開発する。ステップS10では、デカップ

リングコンデンサD1に関する上記配換程路上に電源へ う電と接続されたビアがするか否かを検証し、腹ビアが 無ければ後还するステップS13に移り、核ビアが培れ ばステップS12に移る。 【のの32】ステップS11では、上記のチェック結束を対策循示(7)に表示山力した後、上記のステップS10に移る。上記対策指示(7)の内容には、例えば、「テカップリングコンテンサの電路ピンとの接接本枚をK6本以下にしなさい」等のメッセージを包めることが正在ルチュ

[0033] ステップSI2では、上記のチェック結准を対策指示(2)に表示出力した後、ステップSI3に移る。上記対策指示(2)の内容には、例えば、「電源ペラ商へのピアをここに配置してはいけません。環道な位置に移動させなさい」等のメッセージを含めることが可能である。

[0034] 以下、<u>図ら</u>に示すフローチャートの説明に移る。ステップS13では、同窓位の電源ピンとデカップリングコンデンサロ1、及び、デカップリングコンテンサロ2との間の配換格遣と配線及(<u>国</u>1に示すしen81)を認定する。

【0035】ステップS14では、後述する (2) 式により、デカップリングコンデンサロ1について、上記のLenglが定数K1を超えていないか否かを拍定し、超えていなければステップS15に售り、超えていれば後述するステップS20に移る。

[0036] ステップS15では、デカップリングコンデンサロ1、及び、デカップリングコンデンサロ2とGNDペラをののアチでの配換降流と配鈎段(出上にデオしeng2)を調定する。

10 0 3 71 ステップS1 6では、後述する(3)式により、デカップリングコンデンサロ1、及び、デカップリングコンデンサロ2について、上記のLeng 2 が窓 故K 2 を超えていないか否かを利定し、超えていなければステップS17に移り、超えていれば後述するステップS21に移る。

[0040] ステップS19では、デカップリングコンデンサD1と電源ペタ層へのピアまでの配線及 (<u>以</u>Lに示す Leng 4)を確定した後、後述するステップS2

[0041] ステップS20では、上記のチェック結果

を対策指示(1)に表示出力した後、上記のステップS 15に移る。上記対策指示(1)の内容には、例えば、 「弘策ピンとデカップリングコンデン中間の配線展をK Imm以下にしなさい」等のメッセージを含めることが 印能である。 【0042】ステップS21では、上記のチェック結束を対策指示(3)に表示出力した後、上記のステップS17に移る。上記対策指示(3)の内容には、例えば、「デカップリングコンデンサとGNDペラ階へのピアまでの配線及をK2mm以下にしなさい」巻のメッセージを含めることが可能である。

【0043】ステップS22では、上記のチェック結束を対策指示(4)に疫示出力した後、上記のステップS19に移る。上記対策指示(4)の内容には、例えば、「デカップリングコンデンサのGNDペタ配へのピアと「デカップリンシまでの配換度をK3mm以下にしなきい」等のメッセージを含めることが可能である。

[0044]以下、<u>||位</u>に示すフローチャートの説明に ||移る。ステップS23では、後述する (5) 式により、 |デカップリングコンデンサロ1について、上記のLen ||最もが定数K4を出えていないか否かを利定し、超えて ||いなければステップS24に移り、超えていれば後述す ||あステップS30に移る。 [0045] ステップS24では、デカップリングコンデンサD1とデカップリングコンデンサD2との間の配 研長 (<u>M1</u>に示すしeng5) を調定する。ステップS25では、後述する(6) 式により、上記のしeng5が定故K5を超えていないか否かを判定し、超えていなければステップS26に移り、超えていれば後述するステップS31に移る。

[0046] スナップS26では、(8), (9), (10) 式により、テカップリングコンテンサロ1とテカップリングコンテンサロ2のLeng1, Leng 2, Leng3各部の配線構造の調整結束を基に、マイクロストリップ配線(投きLeng.....) 部分のインピーゲンス(20)を導出する。

[0047] ステップS27では、プレーン配給 (長さ Lengal) 部分の単位長さ当たりのインゲクタン ス (Lun) をK7と設定する。ステップS28で は、(12)、(13) 式により、デカップリンゲコン デンサD1、及び、デカップリンゲコンデンサD2を情 成要素に含み構成されるループでの寄生インゲクタンス (Lucal, Luna) を料出する。

[0048] ステップS29では、(14)、(15) 式により指定される自己共振協族数を用いて、テカップ リングコンデンサロ1、及び、デカップリングコンデン サD2の最適容監値 (Caran, Caran) を、(1

6), (17) 式を用いて計算した後、後述するステッ

[0049] ステップS30では、上記のチェック結単を対策指示(5)に表示出力した後、上記のステップS24に移る。上記対策指示(5)の内容には、例えば、「デカップリングコンテンサと電源ペタ階へのビアまでの配達秩をK4mm以下にしなきい」等のメッセージを含めることが可能である。

時間2002−16337

Ê

「テカップリングコンデンサ間の配役展をK5mm以下 【0050】ステップS31では、上記のチェック結県 を対策指示 (6) に装示出力した後、上記のステップS [0051] 以下、<u>図&</u>に示すフローチャートの規例に し、両者が近以値の関係にあるか否かを判定し、近以値 の関係を満たせば、ステップ533に移り、近似値の関 26に移る。上記材質指示(6)の内容には、例えば、 おる。ステップS32では、デカップリングコンデンサ [0052] ステップS33では、上記ステップS5以 終えたなら、上紀ステップS 1以下の一道のチェックを る。ステップS34では、金ての配成ピンをチェックし にしなさい」 枠のメッセージを合めることが可能であ り1、及び、デカップリングコンデンサロ2について、 仮設計されている容量値と上記の最適容量値とを比較 Fの一連のチェックを、次の電源ピンに対して適用す 次の高速1Cに適用して後述するステップS36に19 係が否定されれば、後近するステップS35に移る。

[0053] ステップS35では、上記のチェック結兆 を対策指示(8)に数示出力した後、上記のステップS 「デカップリングコンデンサ間の容量値を最適値に変更 [0054] ステップS36では、金七の高速1 Cをチ エックを終了する。<u>図9</u>は、本発明の実施の形態に係る いクし終えたなら、上配金ての対策指示を出力してチ プリント基板の配袋情治チェックシステムのチェック対 は、3. 7 都のVCCピンと9 むのGNDピンを伺える コンデンサD91と、0. 1 (μ.F) のデカップリング コンデンサD92と、GNDペタ脳へのピアG91~G しなさい」券のメッセージを合めることが可能である。 短掛IC100と、1000 (pF) のデホップリング 33に移る。上記対策指示 (8) の内容には、例えば、 象となる配格基板上の配線の1例を示す配線固である。 [0055] <u>図9</u>に示す配模基板上の配線 (基板配線) 93と、Powerベタ陷へのピアP91を含む。

10056] ここで、上記基板配換の仕積は、下記のとおりとする。上記1できて100とし、動作的液状を50.0 (MHz)とし、バルス値(以下、符号による)を10.0 (ns)とし、近号上の 10.0 (ns)とし、符号しの 10.0 (元素)とし、符号しの 10.0 (元素)を25.0 (mm)とし、符号しの 10.0 で示される度さを5.0 (mm)とし、符号しの 10.0 で示される 10.0 (mm)とし、 1

将頭2002-16337

8

る。<u>世上と</u>に示す配根基板上の配根構造の仕様は、下配 [0057] 四1.0は、本発明の実施の形態に係るプリ ント法仮の配格構造チェックシステムのチェック対象と なる配線塔仮上の配換構造の1例を示す配換構造図であ

ラインとし、配袋艦 (W) を0. 40 (mm) =400 (μm) とし、配符厚 (t) を0.04 (mm) =40 ("m) とし、配税的 (h) を0.10 (mm) =10 [0058] 即ち、既依征道の既はマイクロストリップ 0 (μm) とし、比核電車 (ε.) を4. 3とし、虹泑 比核電車 (****) を3. 6とする。 のとおりとする。

[0059] <u>図1.1</u>~14は、本発明の攻結の形態に係 たプリント基板を対象として実行した時の処理過程を示 るプリント悲仮の配税附造チェックシステムを、<u>|灯9</u>に 示す- - 近仮配線を備え、かつ<u>図10</u>に示す配数構造を備え したフローチャートである。

[0060] 凶!【~14に示すフローチャートにおい

て、太い東韓で示す性格は、上記異行時において実際に 近行された処理の経路を示し、破税で示す経路は、上記 示す町の処理が実行され、他の処理は要行されなかった 9, S32, S35, S33~S34, S36の框路で 3, S14, S20, S15-S19, S23-S2 [0061] 2271, A77781-S10, S1 近行時において現行されなかった処理の経路を示す。

[0062] 以下、上記処理過程を、実際に実行された 処理をトレースして説明する。但し、ここでは、上配の 定故K1を20とし、定故K2を10とし、定故K3を 8を3とし、定故K9を300とし、定数K10を30 40とし、定故K1を40とし、定数K5を10とし、 **妃敬K6を3とし、定数K7を0.005とし、定故K**

ことを示している。

定数K7=0.005、定数K8=3、定数K9=30 0、定以K4=40、定以K5=10、定以K6=3、 [0063] まず、ステップSIでは、初別条件とし て、定数K1=20、定数K2=10、定数K3=4 0、定数K10=30を設定する。

抽出する。ステップS3では、IC100が越速1Cで あることを脏腔する。ステップS 4では、1 C 1 0 0の [0064] ステップS2では、鉱品前号1C100を 名談ピンの3番と7番とを抽出する。

[0065] ステップS5, S6では、鉛酸ビン3帯に 注目し、そこに接続されているコンデンサを容量値から ナカップリングコンテンキD91 とテカップリングコン デンサD92に分類する。 [0066] ステップS7では、IC100に接続され m=2であることを暗起する。ステップS8では、上記 ている同宅位の電源ピンは、3番以外に7番が存在し、

[0073] ステップS18では、デカップリングコン アンサD91について、(4) 式に示す条件 (Leng

(8), (9), (10)式がある。

また、ステップS26に係る数式として、下記の

.... (2)

[# 1]

回覧位の循環ピン本数が(7)式に示す条件 (m M 3) を満たしているため、対策指示 (7) は表示出力しな

ブリングコンデンサD91との町の配換柱路上にピアが 煎いことを節起する。ステップS10では、上記電源と 上にピアが無いとの条件を溢たしているため、対政治示 [0061] ステップS9では、上配電機と>とデカッ ンとデカップリングコンデンサD91との間の配換経路 (2) は数示出力しない。

ロストリップであり、配換長は10.0 (mm) である 艮(125.0 (mm) であることと、炻原ピン3 哲とア [0068] ステップS13では、低雨ピン3番とデカ ップリングコンデンサD91との凹の配換構造はマイク ことと、名様ピン7番とデカップリングコンデンサD9 1 との間の配復帰道はマイクロストリップであり、配線 クロストリップであり、配線長は15.0 (mm) であ ることと、低感ピン7倍とデカップリングコンデン+D 9.2 との間の配袋構造はマイクロストリップであり、配 **カップリングコンデン+D 9.2 との回の配袋 荷通はマイ** 段長は30.0 (mm) であることを確認する。

[0069] ステップS14では、デカップリングコン アンサロ91について、治滅アン「位との配装形が

(2) 式に示す条件 (Leng1≦20) を満たさない ため、ステップS20により、対策指示 (1) を数示出 [0070] ステップS15では、デカップリングコン アンサロ91と上記ピアG92の四の配換構造はマイク ロストリップであり、配線長は5.0 (mm) であるこ とと、アカップリングコンデンサD92と上記ピアG9 3 の間の配紋構造はマイクロストリップであり、配紋長 は5. 0 (mm) であることとを設定する。

デンサロ91とデカップリングコンデンサロ92につい [0071] ステップS16では、デカップリングコン て、 (3) 式に示す条件 (Leng2≦10) を満たし ているため、対策指示 (3) は表示出力しない。

[0072] ステップS17では、GNDピン9位と上 記ピアG91の町の配袋構造はマイクロストリップであ eng3=Leng3' +Leng3'') (135.0 2について、上記ピアG93とGNDピン9桁の凹の配 り、配袋及 (Leng3')は5.0 (mm)であるこ とと、ピアG91とピアG92の餌の配袋兩滷はプレー m) であることと、上記ピアG91とピアG93の間の であることと、デカップリングコンデンサD91につい て、上記ピアG92とGNDピン9番の回の配接長(L (mm) であることと、デカップリングコンデンサロ9 配線構造はプレーンであり、配線長は35.0 (mm) ンであり、配線長 (Leng3'') は30.0 (m 象長は40,0 (mm)であることとを選定する。

("F)とを比較し、この場合はいずれも散計値与最適 は、上記チェック済の電源ピン3番と両電位であり、既 にチェック資としてよく、これ以外に他の殆際ピンは無 [0082] ステップS34では、1C100以外の他 の1 Cが存在しないことを確認する。 ステップS36で は、上記表示出力された対策指示 (1), (8) を投示 アンサロ91について、仮設計(値(凹ち、供容量値)= (pF) とを比較し、同様に、デカップリングコンデン **画面または印字用紙(いずれも図示は省略)に表示して** [0080] ステップS32では、アカップリングコン [0083] (松式に係る説明) 以下、上紀フローチャ [0079] ステップS29では、デカップリングコン 値の条件を消たしていないため、ステップS35にて、 ート中の処理の説明で参照した紋式を説明する。まず、 サD92について、仮設計画(即ち、政容量値)=0. [0081] ステップS33では、次の角形ピン7部 ステップS3に係る松式として、下記の (1) 式があ ンサD92について、Lunna 8、45(n H)を数 デカップリングコンデンサD92について、Cama デンサD91について、Camal=36 (pF) と、 100 (pF) と、上記環遊位 (C.....) =36 1 (μF) と、上記根拠値 (C.....) = 0.85 対策指示(8)を表示出力する。 (9) = 0.85 (μ೯) を制出する。 ... (3) ... (3) (7) (2) チェックを終了する。 いことを揺却する。 [0084] 0085 0087 [0086] [0600] 0088 0 0 8 9 [17] [#2] [1,43] [# 71] [数5] [46] 3≤40)を備たしているため、対策指示(4)は表示 として35.0 (mm) を開定する。ステップS23で 配置距離 (Leng5) として5.0 (mm) を調定す 85≤10)を満たしているため、対策指示(6)は安 (n H / m)を禁出し、さらに、アカップリングコンデ [0075] ステップS24では、デカップリングコン デンサD91とデカップリングコンデンサD92の囚の る。ステップS25では、(6) 式に示す条件 (Len [0076] ステップS26では、デカップリングコン 次に、ステップS8に係る放式として、下記の(7)式 【0074】 ステップSI9では、デカップリングコン H/mm) を設定し、からに、チカップリングコンデン Lengl≤Kl (mm) アンサロ91と上記ピアP1回の配徴及(しeng4) は、アカップリングコンデンサD91について、(5) 式に示す条件 (Leng4≤40)を満たしているた [0077] ステップS27では、(11) 式により、 [0078] ステップ528では、(12), (13) 式により、デカップリングコンデンサD91について、 次に、ステップS14に係る粒式として、下配の(2) Leng2≦K2 (mm) また、ステップS18に係る放式として、下記の(4) Leng5≤K5 (mm) また、ステップS16に係る数式として、下記の(3) また、ステップS23に係る数式として、下記の(5) また、ステップS25に係る数式として、下記の(6) デカップリングコンデンサD91について、Leng Leng3≤K3 (mm) Leng4≤K4 (mm) Lust = 7.75 (nH) と、デカップリングコンデ デンサD91について、Leng...-35.0 (m) **サ**D92について、Lengam=40.0 (mm) と、Line 0.005 (nH/mm) を設定する。 ...=30. 0 (mm) & L. L. L. L. L. D. 005 (n m) 2, 20=21. 0 (n) 2, L. = 131 ンサD92について、Leng.....=40.0 (m m) &, Z 0 = 2 1. 0 (n) &, L. = 1 3 1 rr≨5 (ns) め、対策指示(5)は农示出力しない。 (n H/m)を抑出する。 示出力しない。 式がある。 式がある。 さがある。 式がある。 式がある。

特開2002-16337
(6)

	2 ;	8)	:	(6		•		1)				(12)			(13)									
[82]	(5. 98h/ (0. 8w+	[674]		(6)	(1 0)	[0094]	[数11]	(11)	[0095]	[#12]	eng,-)+K8 ((12)	[#13]	eng == + K8 ((13)	[000]	(#14)		(MHz)(14)	[#15]	(15)	[#16]	(16)	[#17]
	$Z_{\bullet}=8.7/\{(\epsilon_{\bullet ii}+1, 4.1) \times \ln (5.98 h/(0.8 w+t))\}$	4]	ena (e,+1) /2+ (e,-1) / (2 (1+10 h/w) 1)		L.m= (*, MXZ*/C*) ""(10)	また、ステップS27に係る条件式として、下記の(1		L.=K7 (nH/mm)	さらに、ステップS28に係る条件式として、下記の	ስ' එ る。	Limit (Limix Lengain+Limix Lengain) + K8	(Ни		Limit (Limix Lenging + Limix Lenging) + K8	(Ни	次に、ステップS29に係る条件式として、下記の(1	4), (15)式, 及び, (16), (17)式があ		f (MHz)		f= K 1 0 (MHz)		$C_{\text{dens}} = 1 / (4 \pi^3 \times f_{\text{dens}}^3 L)$ (16)	
[0061]		[0092]		[0.09.3]		また、ステップS27	1) 1746.50		きらに、ステップS2	(12), (13) 式がある。			[9600]			次に、ステップS29	4), (15) 式, 及	5,		[8600]		[6600]		[0100]

サを必要とする1 Cを決定する。(2)式により、上部 の信談 アンから デセップリングコンデンキロ 1 年 たの原 る。なお、数値起に際しては、併号しenglで示す距 【0101】(1)式により、 テカップリングコンデン 類 (Lengl) が条件を満たしているか否かを確認す 雄にわたる配税領域上に、電源ペタ圏へのピアが存在し なお、上記の放式は、下記の意味において使用される。 ないことも確認する。

Cami = 1 / (4 x 2 x f ans i'L)

(4) 式により、GNDペタ恐へのピアG2からGND [0102] (3) 式により、デカップリングコンデン +DIからGNDペタ陷へのガアG2までの阻断(Le ng2)が条件を満たしているか否かを確認する。

ピンまでの距離(Leng3)が糸件を満たしているか D1値のピア (刊ち、GNDピア码へのピアG2) との 奇かを強駄する。但し、GNDピン餌のピア(叩ち、G NDピア邸へのピアG1) とデカップリングコンデンサ 川の炬焼は直殻距焼により抗出する。

HD1の毛頂ピンとPowerベタ脳へのピアP1との 別の距離 (Leng4) が糸件を満たしているか否かを [0103] (5) 式により、デカップリングコンデン

【0104】(6)式により、デカップリングコンデン

略)が存在する場合(図示は省略)は、デカップリング コンデンキロ2とデオップリングコンデンキロ3との団 る。但し、デカップリングコンデンサロ3(図示は名 サロ1とデカップリングコンデンサロ2との回の遊儀 (Leng5)が条件を消たしているか否かを確認す の距離が条件を満たしているか否かを確認する。

サD1へ接続する1C電源ピンの本数が(定数K6)本 り、電源配税構造がマイクロストリップ構造の場合にお いて、マイクロストリップラインの単位長さ当たりの寄 【0105】(7)式により、テカップリングコンデン 以内であるか否かを確認する。(8)~(10)式によ 生インダクタンスを計算する。

レーンまたはグランドプレーンの場合に、散プレーンの [0106] (11) 式により、電源配給自体が電源プ 2) 式により、デカップリングコンデンサロ1に接続さ れている複数本の電源配積各々の内で限も長い電源配積 単位長さ当たりの寄生インダクタンスを計算する。(1 に最も近いGNDピンと、アカップリングコンデンサロ | とで情成されるループにおける寄生インゲクタンスを

【0107】 (13) 式により、デカップリングコンデ ンサD2に対しても、上記と同様の寄生インダクタンス

を計算する。(14)式により、アカップリングコンデ ンサD1の自己共保開波数を指定する。

[0108] (15) 式により、デカップリングコンデ ンサD2の自己共坂周波数を指定する。 (16) 式によ り、デカップリングコンデンサD1の容量値を決定す [0109] (17) 式により、デカップリングコンデ チャートで示した処理を実行するプログラムなど、本発 可能な記録媒体に格納して配付してもよい。そして、少 タ、汎用コンピュータを範疇に含むコンピュータが、上 記の記録媒作から上記プログラムを読み出して、裏行す 明の実施の形態に係るプリント基板の配線構造チェック CD-ROMや磁気テーブなどのコンピューを競み取り なくともマイクロコンピュータ, パーソナルコンピュー ンサD2の容量値を決定する。なお、<u>図5</u>~7のフロー システムに上記の処理を行わせるためのプログラムは、 るものとしてもよい。

[発明の効果] 以上に説明したとおり、本発明では、対 配置された上記デカップリングコンデンサを含む複数の 象とするプリント基板上の高速1Cに接続されたデカッ プリングコンデンサに対し、敗コンデンサに接続された 数高速10の同窓位の電影ピンの本数と、数同電位の電 **澎パント校コンデンキの治惑パントの凹のパアの 柱が** チェックすると共に、上記対象とするプリント基板上に アカップリングコンデンサの敬道な配置位置、及び、最 **海な容畳値を、簡単な計算式を用いて算出し、仮設計さ** れている上紀デカップリングコンデンサの現在の配位位 **置、及び、容胜値が上記抗出結果と大きく異なる場合に** ンドネットが拉百ネットもあるような大規模回路におい 谷量値が最適になるように指示するメッセージを出力す さらに、設計コストを上げることなく、電源またはグラ て、アカップリングコンデンサの各々が受け持つ、知識 上記循環ピン(またはグランドピン)を名む回路におい は、当数テカップリングコンデンサの配置位置、及び、 るようにしたので、従来の散計工程を変えることなく、 ピン(またはグランドピン)の区別を明確にし、かつ、 て、デカップリングコンデンサの最適な容量値、及び、 敗週な配置位置を決定することができる。 [0110]

[0111] また、上記電源ピン周辺で発生すると思わ **れるパウンスノイズを大幅に抑えることができる。さら** こ、腹バウンスノイズが原因で発生する放射ノイズも大 低に抑えることができる。 [図面の簡単な説明]

[当1]本発明の実施の形態に係るプリント基板の配款 [図2] 本発明の実施の形態に係るプリント基板の配線 |精治チェックシステムのチェック対象となる配線 碁仮上 の電源プレーンと配数との関係を示す配線図である。

料治チェックシステムのチェック対象となるマイクロス トリップラインと呼ばれる配線構造を示す配線構造図で

[日本]本発明に係るプリント芸板の配換構造チェック システムのチェック対象となるダブルストリップライン <u>[凶3]</u> 本発明に係るプリント基板の配換構造チェック システムのチェック対象となるシングルストリップライ ンと呼ばれる配紋構造を示す配袋構造図である。

[図2] 本発明の英値の形態に係るプリント基板の配位 **豊村 支援方法の配税(構造チェックシステムの動作を示す** と呼ばれる配線構造を示す配線構造団である。 フローチャート (1/4) である。 |均6| 本発明の実施の形態に係るプリント基板の配数 以計支援方法の配換構造チェックシステムの動作を示す フローチャート (2/4) である。 [当2] 本発明の実権の形態に係るプリント基板の配線

散料支投方法の配換構造チェックシステムの動作を示す [日8] 本発明の実施の形態に係るプリント基仮の配線 設計支援方法の配線構造チェックシステムの動作を示す フローチャート (3/4) である。

[四章] 本発明の実協の形型に係るプリント法板の配線 構造チェックシステムのチェック対象となる配格基板上 の配線の1例を示す配線図である。 フローチャート (4/4) である。

[内10] 本発明の実施の形型に係るプリント 括仮の配 税情造チェックシステムのチェック対象となる配積基板 上の配検備造の1例を示す配紋構造図である。

[四11] 本発明の実施の形態に係るプリント 特权の配 え、かつ<u>凶10</u>に示す配税債済を個えたプリント搭仮を 対象として実行した時の処理過程を示したフローチャー 税構造チェックシステムを、<u>例9</u>に示す基板配積を備 ト (1/4) である。

[日12] 本発明の実施の形態に係るブリント基板の配 え、かつ<u>凶10</u>に示す配数附遺を備えたプリント基板を 対象として実行した時の処理過程を示したフローチャー **税格造チェックシステムを、<u>倒皇</u>に示す基板配線を個** 1 (2/4) TBS:

[内13] 本発明の実施の形型に係るプリント基板の配 え、かつ国10に示す配位協造を加えたブリント基板を 対象として実行した時の処理過程を示したフローチャー 税構造チェックシステムを、<u>図り</u>に示す基**加配**税を間 1 (3/4) TBS.

[対1.4] 本発明の実施の影響に係るプリント基板の配 え、かつ<u>四10</u>に示す配税構造を備えたプリント基板を 対象として実行した時の処理過程を示したフローチャー **模構造チェックシステムを、<u>図9</u>に示す基板配税を**伽

ゲコンデンサ、G1. G2, G3……GND (接地) ベ タ悶へのピア、P1……Power (電源) ベタ固への |-----| C (鉄岳回路)、D1, D2-----アカンプリン

ピア、RG……GND配線、RP……Power配線

ト (4/4) である。 [许号の説明]

時間2002-16337

ê

